

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

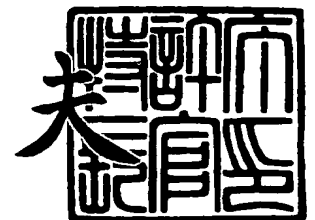
出 願 番 号 特 願 2 0 0 3 - 0 9 0 8 3 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 0 8 3 4]

出 願 人 富 士 通 デ ィ ス プ レ イ テ ク ノ ロ ジ ー ズ 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0350452

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明の名称】 液晶表示装置用基板および液晶表示装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 美崎 克紀

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置用基板および液晶表示装置

【特許請求の範囲】

【請求項 1】 複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板において、

前記パッシベーション膜は、窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置用基板。

【請求項 2】 前記酸化シリコン層または前記酸窒化シリコン層は、膜厚が 3 nm 以上 20 nm 以下であることを特徴とする請求項 1 記載の液晶表示装置用基板。

【請求項 3】 前記窒化シリコン層は、シリコン原子および窒素原子の組成を変えた 2 種以上の窒化シリコンを積層した構造を有していることを特徴とする請求項 1 記載の液晶表示装置用基板。

【請求項 4】 前記窒化シリコン層は、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子濃度が高くなるように形成され、または、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子に結合する水素原子の濃度が高くなるように形成されていることを特徴とする請求項 1 記載の液晶表示装置用基板。

【請求項 5】 複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板と、前記液晶表示装置用基板に対向配置される対向基板と、前記液晶表示装置用基板と前記対向基板との間に挟まれた液晶層と、を有する液晶表示装置において、

前記液晶表示装置用基板は、前記パッシベーション膜が窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置。

【請求項 6】 対向基板に液晶層を挟んで対向配置される絶縁性基板と、前記絶縁性基板上に配置されてスイッチング素子と窒化シリコン層と酸化シリコン層または酸窒化シリコン層と樹脂カラーフィルタ層と画素電極とが順に形成された複数の画素領域からなる表示領域と、

前記表示領域の前記樹脂カラーフィルタ層と前記画素電極との間に形成された絶縁性樹脂材料からなるオーバーコート層と、を有し、

前記スイッチング素子上の各層に開口されたコンタクトホールは開口断面積が、前記樹脂カラーフィルタ層 > 前記オーバーコート層 \geq 前記酸化シリコン層または前記酸窒化シリコン層 \geq 前記窒化シリコン層の関係を有していることを特徴とする液晶表示装置用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置用基板および液晶表示装置に関し、特に薄膜トランジスタなどのスイッチング素子が形成されたアレイ基板側にカラーフィルタが形成された液晶表示装置用基板およびそのような液晶表示装置用基板を用いた液晶表示装置に関する。

【0002】

【従来の技術】

従来、薄膜トランジスタ (Thin Film Transistor, TFT) をスイッチング素子として用いたアクティブマトリクス型の液晶表示装置 (Liquid Crystal Display, LCD) としては、逆スタガ型の TFT-LCD などが提案されている (例えば特許文献 1 参照)。近年では、広開口率の実現のため、TFT などのスイッチング素子が形成されたアレイ基板側にカラーフィルタ (Color Filter, CF) を形成した CF-on-TFT 構造の LCD 用基板を用いた LCD も提案されて

いる（例えば特許文献2参照）。このようなCF-on-TFT構造のLCD用基板には、通常、画素電極とのコンタクト部分を除いたTFT上に無機絶縁材料からなるパッシベーション膜が形成される。

【0003】

図13は従来のCF-on-TFT構造のLCD用基板の1画素領域の一例の平面図、図14は図13のB-B断面図である。TFT基板100には、透明絶縁性基板101上にゲートバスライン（GB）102が形成されている。その上には全面に絶縁膜103が形成され、この絶縁膜103を介してGB102に交差してドレインバスライン（DB）104が形成されている。GB102およびDB104によって画定される領域が画素領域となる。そして、GB102およびDB104の交差位置近傍にTFT105が形成される。

【0004】

TFT105は、上部金属層106aおよびオーミックコンタクト層107aで構成されるドレイン電極108を有し、その端部がGB102上に形成されたチャンネル保護膜109上の端部に位置するように形成されている。上部金属層106bおよびオーミックコンタクト層107bで構成されるソース電極110は、ドレイン電極108と同様にしてチャンネル保護膜109の他端部側に形成されている。絶縁膜103とチャンネル保護膜109の間には動作半導体層111が形成され、この動作半導体層111は、オーミックコンタクト層107a、107bと接続されている。このような構成のTFT105において、チャンネル保護膜109直下のGB102領域がゲート電極として機能し、これらの間の領域にある絶縁膜103がゲート絶縁膜として機能する。

【0005】

TFT105の上層には、窒化シリコン（ Si_3N_x ；以下「SiN」と記す。）のパッシベーション膜112が形成され、このパッシベーション膜112を介して画素領域内に樹脂CF層113が形成されている。樹脂CF層113上にはオーバーコート（OC）層114が形成され、このOC層114上に透明酸化電極材をパターニングして画素電極115が形成されている。画素電極115は、OC層114およびパッシベーション膜112を貫通するコンタクトホール11

6aを介してソース電極110に接続されている。同様に、画素電極115は、蓄積容量バスライン(CB)117上に絶縁膜103を介して形成された蓄積容量電極118にもコンタクトホール116bを介して接続されている。

【0006】

このように、従来のCF-on-TFT構造のTFT基板においては、TFT105と樹脂CF層113との間にSiNのパッシベーション膜112が形成される。樹脂CF層113には例えば色成分として顔料を分散した樹脂が用いられるため、パッシベーション膜112を形成することによって、顔料の無機成分が動作半導体層111などへ拡散するのを防止している。

【0007】

【特許文献1】

特開平6-202153号公報

【特許文献2】

特開平10-39292号公報

【0008】

【発明が解決しようとする課題】

しかし、TFTの上層にSiNのパッシベーション膜を介して樹脂CF層を形成すると、SiN表面の水酸基(OH基)の状態が経時的に変化することによってパッシベーション膜と樹脂CF層との密着力が低下してしまい、樹脂CF層形成時にはSiN表面からCFが剥がれてしまったり、TFTに達するコンタクトホール形成時には樹脂CF層のエッチング残渣がコンタクトホール内に残ってしまったりするという問題点があった。このようなCFの残渣や剥離により、色純度不良といった問題が発生し、また、コンタクトホール内に成膜する画素電極材料のパターン不良によって画素電極とTFTがコンタクトされないといった問題が発生する場合もある。

【0009】

本発明はこのような点に鑑みてなされたものであり、CFの残渣や剥離がなく、導通不良のないCF-on-TFT構造のLCD用基板およびそのようなLCD用基板を用いたLCDを提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に例示する構成で実現可能なLCD用基板が提供される。本発明のLCD用基板は、複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたCF層と、を有するLCD用基板において、前記パッシベーション膜は、SiN層と酸化シリコン(SiO_x;以下「SiO」と記す。)層または酸化窒化シリコン(SiO_xN_y;以下「SiON」と記す。)層との積層構造を有し、前記CF層に接して前記SiO層または前記SiON層が形成されていることを特徴とする。

【0011】

LCD用基板として図1に示すような構成のTFT基板1によれば、画素電極18とスイッチング素子であるTFT2との間に形成されるパッシベーション膜14が、SiN層14a、14b、SiO層14cの積層構造を有している。そのうち、SiO層14cは最上層に形成され、上層に形成されている樹脂CF層15に接している。SiO層14cはその表面状態の経時変化が小さく、安定しているので、その上に樹脂CF層15を形成してもCFの剥離が起こり難く、また、樹脂CF層15をエッチングしてもCFの残渣が発生し難い。SiO層14cに代えてSiON層を用いても同様である。

【0012】

また、本発明では、複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたCF層と、を有するLCD用基板と、前記LCD用基板に対向配置される対向基板と、前記LCD用基板と前記対向基板との間に挟まれた液晶層と、を有するLCDにおいて、前記LCD用基板は、前記パッシベーション膜がSiN層とSiO層またはSiON層との積層構造を有し、前記CF層に接して前記SiO層または前記SiON層が形成されていることを特徴とするLCDが提供される。

【0013】

このようなLCDによれば、LCD用基板にCFの残渣や剥離が発生し難いので、その導通不良の発生が抑えられ、これを用いて製造されるLCDの表示特性、信頼性が向上するようになる。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を、TFTが形成されたTFT基板をLCD用基板として用いるLCDに適用した場合を例に、図面を参照して詳細に説明する。

【0015】

まず第1の実施の形態について説明する。

図1は第1の実施の形態のTFT基板のTFT部分の要部断面図、図2は第1の実施の形態のTFT基板の1画素領域の平面図である。ただし、図1には図2のA-A断面を図示している。第1の実施の形態のLCDは、スイッチング素子として図1および図2に示すようなTFT2が形成されたTFT基板1と、共通電極などが形成された対向基板とを貼り合わせ、その間に液晶を封入した構造を有する。

【0016】

このようなLCDに用いられるTFT基板1には、透明絶縁性基板としてのガラス基板3上に、アルミニウム(A1)系金属層4aを介してチタン(Ti)，クロム(Cr)，モリブデン(Mo)などの高融点金属層4bが積層して形成され、複数のGB4（ただし図2には1本のみ図示する。）が形成されている。その上には全面にSiNからなる絶縁膜5が形成され、この絶縁膜5を介してGB4に交差して高融点金属からなる複数のDB6（ただし図2には2本のみ図示する。）が形成されている。GB4およびDB6によって画定される領域がTFT基板1の画素領域となる。TFT2は、これらGB4およびDB6の交差位置近傍に形成されている。このようにTFT2が形成された各画素領域には、そのほぼ中央を横切るCB7がGB4と平行に形成されている。CB7は、GB4と同様、A1系金属層および高融点金属層の積層構造で構成されている。

【0017】

TFT2は、高融点金属からなる上部金属層8aおよびn⁺型アモルファスシ

リコン (a-Si) からなるオーミックコンタクト層 9a で構成されるドレイン電極 10 を有し、その端部が GB4 上に形成されたチャネル保護膜 11 上の端部に位置するように形成されている。上部金属層 8a は DB6 に接続され、TFT2 のドレイン電極 10 が DB6 に接続された状態になっている。一方、上部金属層 8b およびオーミックコンタクト層 9b で構成されるソース電極 12 は、ドレイン電極 10 と同様にしてチャネル保護膜 11 の他端部側に形成されている。絶縁膜 5 とチャネル保護膜 11 の間には a-Si からなる動作半導体層 13 が形成され、動作半導体層 13 は、オーミックコンタクト層 9a, 9b と接続されている。このような構成の TFT2 において、チャネル保護膜 11 直下の GB4 領域がゲート電極として機能し、これらの間の領域にある絶縁膜 5 がゲート絶縁膜として機能する。

【0018】

TFT2 の上層には、SiN 層 14a, 14b および SiO 層 14c を積層したパッシベーション膜 14 が形成され、このパッシベーション膜 14 を介して画素領域内に樹脂 CF 層 15 が形成されている。樹脂 CF 層 15 には、ソース電極 12 の直上および CB7 上に絶縁膜 5 を介して形成された蓄積容量電極 16 の直上のパッシベーション膜 14 に達するコンタクトホール 15a, 15b がそれぞれ形成されている。コンタクトホール 15a, 15b が形成された樹脂 CF 層 15 上には絶縁性有機樹脂材料を用いて OC 層 17 が形成されている。この OC 層 17 上に ITO (Indium Tin Oxide) などの透明導電膜材料がパターンニングされて画素電極 18 が形成されている。画素電極 18 は、樹脂 CF 層 15 のコンタクトホール 15a が形成された領域に、更に OC 層 17 およびパッシベーション膜 14 を貫通して形成されたコンタクトホール 19a を介してソース電極 12 に接続されている。同様に、画素電極 18 は、OC 層 17 およびパッシベーション膜 14 を貫通するコンタクトホール 19b を介して蓄積容量電極 16 にも接続されている。

【0019】

上記構成の TFT 基板 1 において、樹脂 CF 層 15 のコンタクトホール 15a を除く領域で TFT2 と樹脂 CF 層 15 との間に形成されるパッシベーション膜

14は、ガラス基板3側から順にSiN層14a, 14bおよびSiO層14cが積層された構造を有している。そのうち、最上層に形成されるSiO層14cは、その表面OH基の状態がTFT基板1の製造環境下において経時的にほとんど変化しない。そのため、パッシベーション膜14の最上層をSiO層14cとすることにより、樹脂CF層15は直接SiO層14c上に形成され、パッシベーション膜14と樹脂CF層15との間の密着力の低下を抑制することができる。これにより、樹脂CF層15の形成時に発生するCFのパッシベーション膜14からの剥離を大幅に抑制し、コンタクトホール15a, 15bの形成時に発生するCFの残渣や剥離の発生を大幅に抑制することができる。

【0020】

ただし、SiO層14cを厚く形成すると、その膜厚によっては、パッシベーション膜14が断面逆テーパ形状にエッチングされてしまう場合が起こり得る。これは、パッシベーション膜14のエッチングには通常フッ素系ガスが用いられるが、SiO層14cはその下層に形成されたSiN層14a, 14bに比べてエッチングレートが遅いためである。パッシベーション膜14がこのような断面逆テーパ形状になると、その後の画素電極18形成時に透明導電膜材料が成膜されない部分が出てしまい、TFT2のソース電極12と画素電極18、あるいは蓄積容量電極16と画素電極18がコンタクトされない場合が起こり得る。そのため、全体で200nm~400nm程度の膜厚でパッシベーション膜14を形成する場合、その最上層に形成するSiO層14cの膜厚は20nm以下とすることが好ましい。また、SiO層14cは、その表面状態の効果を確実に得るためには膜厚3nm以上に形成することが好ましい。

【0021】

さらに、パッシベーション膜14のSiN層14a, 14bは、上層側のSiN層14bよりも下層側のSiN層14aを厚膜で形成し、それらに含まれるSi原子の濃度(Si濃度)について、上層側>下層側、の関係を満たすように形成する。あるいは、SiN層14a, 14b内のSi原子に結合するH原子の濃度(Si-H濃度)について、上層側>下層側、の関係を満たすように形成する。このように、パッシベーション膜14に含まれるSiNのSi原子とN原子の

組成を変化させ、上下層の Si 濃度あるいは Si-H 濃度を調整することにより、それらのエッチングレートを制御して、パッシベーション膜 14 が断面順テーパー形状にエッチングされるようにする。

【0022】

次に上記 TFT 基板 1 の製造方法を図 3 から図 12 を参照して詳細に説明する。図 3 は GB 形成工程の説明図、図 4 は絶縁膜形成工程の説明図、図 5 はチャネル保護膜形成工程の説明図、図 6 はオーミック層および金属層形成工程の説明図、図 7 は電極および動作半導体層形成工程の説明図、図 8 はパッシベーション膜形成工程の説明図、図 9 は CF 層形成工程の説明図、図 10 は OC 層形成工程の説明図、図 11 は画素電極接続用のコンタクトホール形成工程の説明図、図 12 は画素電極形成工程の説明図である。ただし、図 3 から図 12 では、図 1 および図 2 に示した要素については同一の符号を付し、その説明の詳細は省略する。

【0023】

まず、GB 形成工程について述べる。GB 4 の形成は、図 3 に示すように、ガラス基板 3 上に、必要に応じて SiO_x などの保護膜を形成し、全面に例えば Al または Al 合金をスパッタリングにより膜厚約 130 nm で成膜する。さらにその上に例えば Ti または Ti 合金などの高融点金属をスパッタリングにより膜厚約 70 nm で連続的に成膜する。これにより、ガラス基板 3 上に合計約 200 nm の膜厚の金属層が形成される。この金属層形成に用いる Al 合金としては、Al に、ネオジム (Nd)、ケイ素 (Si)、銅 (Cu)、Ti、タングステン (W)、タンタル (Ta)、スカンジウム (Sc) などを 1 種または 2 種以上含む材料を用いることができる。また、金属層形成に用いる高融点金属としては、上記 Ti、Ti 合金のほか、Cr、Mo、Ta、W およびそれらを含む合金などを用いることができる。

【0024】

続いて、基板全面にレジスト層を形成した後、フォトマスクあるいはレチクルといった第 1 のマスクを用いて露光してレジストマスクを形成する。そして、塩素系ガスを用いたドライエッチングにより、図 3 に示したような Al 系金属層 4a と高融点金属層 4b の積層構造を形成し、GB 4 を形成する。その際、図 2 に

示したCB7も同時に形成し、また、図示しないがGB4およびCB7の端子形成位置に端子電極を同時に形成するようにする。

【0025】

次に絶縁膜形成工程について述べる。図3に示したようにGB4を形成し、図2に示したCB7を形成した後、図4に示すように、SiNをプラズマCVD（Chemical Vapor Deposition）法により膜厚約400nmで基板全面に成膜して絶縁膜5を形成する。この絶縁膜5は、前述のように、一部がゲート絶縁膜として機能するようになる。続いて、a-Si層13aをプラズマCVD法により膜厚約30nmで基板全面に成膜し、さらに、SiN層11aをプラズマCVD法により膜厚約120nmで基板全面に成膜する。

【0026】

次にチャネル保護膜形成工程について述べる。図4に示した絶縁膜5、a-Si層13aおよびSiN層11aの形成後は、スピコートなどにより基板全面にフォトレジストを塗布し、ガラス基板3に対してGB4およびCB7をマスクにした背面露光を行なう。露光された領域のフォトレジストを溶解し、GB4直上およびCB7直上の領域に自己整合的にレジストパターンを形成する。このレジストパターンに対してさらに順方向から第2のマスクを用いて露光し、チャネル保護膜11を形成する領域上にのみフォトレジストが残存するレジストパターンを形成する。これをエッチングマスクにして図4に示したSiN層11aに対してフッ素系ガスを用いたドライエッチングを行ない、図5に示すように、チャネル保護膜11を形成する。

【0027】

次にオーミック層および金属層形成工程について述べる。図5に示したチャネル保護膜11の形成後は、希フッ酸を用いてa-Si層13a表面を洗浄して自然酸化膜を除去し、その後速やかに、図6に示すように、n⁺型a-Si層9cをプラズマCVD法により膜厚約30nmで基板全面に形成する。続いて、n⁺型a-Si層9c上に、図1または図2に示したDB6、ドレイン電極10、ソース電極12、蓄積容量電極16を形成するためのTi（またはTi合金）/Al（またはAl合金）/Ti（またはTi合金）からなる金属層20をスパッタ

リングによりそれぞれ膜厚約 20 nm/約 75 nm/約 40 nm に成膜する。なお、この金属層 20 には、Ti 以外にも、Cr, Mo, Ta, W などの高融点金属およびそれらを含む合金も用いることができる。n⁺型 a-Si 層 9c は、金属層 20 と a-Si 層 13a とを良好に接続するためのオーミック層として機能する。

【0028】

次に電極および動作半導体層形成工程について述べる。図 6 に示したように n⁺型 a-Si 層 9c 上に金属層 20 を形成した後、基板全面にフォトレジストを形成し、第 3 のマスクを用いてフォトレジストを露光した後、現像してレジストパターンを形成する。このレジストパターンをマスクにして、図 6 に示した金属層 20、n⁺型 a-Si 層 9c および a-Si 層 13a に対して塩素系ガスを用いたドライエッチングを行なう。これにより、図 7 に示すように、上部金属層 8a, 8b およびオーミックコンタクト層 9a, 9b を形成してドレイン電極 10 およびソース電極 12 を形成し、動作半導体層 13 を形成する。その際には、図 2 に示した DB6 および蓄積容量電極 16 も形成する。このエッチング処理において、チャンネル保護膜 11 はエッチングストッパとして機能する。以上の工程により、ガラス基板 3 上に TFT2 が形成される。

【0029】

次にパッシベーション膜形成工程について述べる。図 7 に示した TFT2 を形成した後、図 8 に示すように、基板全面に SiN 層 14a, 14b、SiO 層 14c をこの順でプラズマ CVD 法によりそれぞれ膜厚約 180 nm, 約 20 nm, 約 5 nm で成膜し、パッシベーション膜 14 を形成する。このパッシベーション膜 14 は、別の方法を用いて形成することも可能である。例えば、SiN 層 14a, 14b をプラズマ CVD 法によりそれぞれ約 180 nm, 約 20 nm で成膜した後、基板全面に a-Si 層を膜厚約 5 nm で成膜してアッシング処理、高圧酸化、熱酸化、N₂O プラズマ処理、N₂+O₂ プラズマ処理の少なくとも 1 つを施し、表面に膜厚約 5 nm の SiO 層を形成することもできる。また、SiN 層 14a, 14b をプラズマ CVD 法によりそれぞれ約 180 nm, 約 20 nm で成膜した後、基板全面にアッシング処理、高圧酸化、熱酸化、O₂ プラズマ処

理、UV照射の少なくとも1つを施し、表面に膜厚約5 nmのSiO層を形成することもできる。

【0030】

なお、SiO層14cは、ここでは膜厚約5 nmとしたが、前述のように、膜厚3 nm～20 nmの範囲で形成することができ、それに応じてSiN層14a, 14bの膜厚を適当に変更するようにしてもよい。また、SiN層14a, 14bは、適当な成膜条件で1層目のSiN層14aを成膜した後、成膜条件を変更して2層目のSiN層14bを連続成膜し、これら両層のSi濃度またはSi-H濃度が、前述のように、上層側>下層側、となるように形成する。

【0031】

次にCF層形成工程について述べる。図8に示したパッシベーション膜14の形成後は、図9に示すように、それぞれの画素領域に対して所定の色の樹脂CF層15を形成する。樹脂CF層15は、基板上にストライプ状に形成する。例えば赤色樹脂を樹脂CF層15として形成する場合には、まず、赤色の顔料を分散させたアクリル系ネガ型感光性樹脂をスピコートやスリットコートなどを用いて基板全面に膜厚約170 nmで塗布する。次いで、大型マスクを用いた近接露光によって、赤色樹脂を形成する所定の複数列にストライプ状に赤色樹脂が残るようにパターンを露光する。最後に、水酸化カリウム（KOH）などのアルカリ現像液を用いて現像し、赤色の樹脂CF層15を形成する。その際、この所定列への樹脂CF層15の形成と同時に、樹脂CF層15にソース電極12の直上のパッシベーション膜14に達するコンタクトホール15aを形成する。さらに、樹脂CF層15には、図2に示した蓄積容量電極16の直上の領域においても、パッシベーション膜14に達するようにコンタクトホール15bを同時に形成する。これにより、この画素領域に赤色の分光特性が付与されるとともに、外光のTFT2への入射を阻害する遮光機能が付与されるようになる。

【0032】

青色、緑色の画素領域についても同様に形成される。すなわち、青色の画素領域については、青色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂を形成した列の隣の列にストライプ状に青色の樹脂C

F層を形成する。同時に、この青色画素領域のTF Tのソース電極および蓄積容量電極に達するコンタクトホールをそれぞれ開口する。また、緑色の画素領域については、緑色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、青色樹脂を形成した列の隣の列にストライプ状に緑色の樹脂CF層を形成する。同時に、この緑色画素領域のTF Tのソース電極および蓄積容量電極に達するコンタクトホールをそれぞれ開口する。これにより、それぞれの画素領域に青色または緑色の分光特性が付与されるとともに、外光のTF Tへの入射を阻害する遮光機能が付与されるようになる。

【0033】

このように樹脂CF層15にコンタクトホール15a, 15bを開口するときには、樹脂CF層15がパッシベーション膜14の最上層に形成されたSiO層14c上に直接形成されているため、樹脂CF層15の密着性が良く、CFの残渣や剥離の発生が抑制される。

【0034】

次にOC層形成工程について述べる。図9に示したように樹脂CF層15を形成した後、図10に示すように、OC層17を形成する。OC層17は、樹脂CF層15の形成と同様、OC樹脂をスピコートやスリットコートなどを用いて樹脂CF層15形成後の基板全面に塗布し、温度140℃以下で加熱処理する。ここで使用するOC樹脂は、絶縁性でネガ型の感光性を有するアクリル系樹脂である。次いで、大型マスクを用いて近接露光し、KOHなどを用いて現像してOC層17を形成する。OC層17は、少なくとも端子形成領域の電極つなぎ換え領域が開口され、端子形成領域では底部から端子電極、絶縁膜5、パッシベーション膜14を露出させるようにする。さらに、OC層17には、図10に示したように、樹脂CF層15に形成したコンタクトホール15aに位置を合わせてコンタクトホール21を形成する。その際には、図2に示した蓄積容量電極16領域においても同様に、コンタクトホール15bに位置を合わせてOC層17にコンタクトホールを形成する。

【0035】

次に画素電極接続用のコンタクトホール形成工程について述べる。図10に示

したようにOC層17にコンタクトホール21を形成した後、図11に示すように、このOC層17をマスクにしてフッ素系ガスを用いたドライエッチングを行なう。これにより、コンタクトホール21で開口された領域のパッシベーション膜14を除去し、ソース電極12に達するコンタクトホール22を形成する。その際には、図2に示した蓄積容量電極16領域においても同様に、パッシベーション膜14を除去して蓄積容量電極16に達するコンタクトホールを形成する。OC層17のコンタクトホール21とパッシベーション膜14のコンタクトホール22によって、OC層17表面からソース電極12まで貫通する画素電極接続用のコンタクトホール19aが形成される。同様に、蓄積容量電極16領域においても、OC層17のコンタクトホールとパッシベーション膜14のコンタクトホールによって、OC層17表面から蓄積容量電極16まで貫通する図2に示したような画素電極接続用のコンタクトホール19bが形成される。

【0036】

ここでパッシベーション膜14は、上層側からSiO層14c、SiN層14b、14aの順に形成されていて、SiO層14cは膜厚が3nm~20nmの範囲で形成され、SiN層14b、14aはそのSi濃度またはSi-H濃度が調整されている。これにより、各層のエッチングレートが制御され、パッシベーション膜14に形成されるコンタクトホール22が断面順テーパ形状に形成される。すなわち、画素電極接続用のコンタクトホール19aの開口断面積は、樹脂CF層15>OC層17>SiO層14c>SiN層14aの順になる。コンタクトホール19bについても同じである。なお、ここでいう開口断面積とは、各層に形成されている開口部分の中でその開口断面積が最小になる部分での値を示している。また、コンタクトホール19aの開口断面積は、樹脂CF層15>OC層17 \geq SiO層14c \geq SiN層14aの関係を満たしていればよい。

【0037】

次に画素電極形成工程について述べる。図11に示したようにOC層17表面からソース電極12まで貫通する画素電極接続用のコンタクトホール19aを形成した後は、まず、ITOをスパッタリングなどの薄膜形成方法により膜厚約70nmで形成する。次いで、形成したITO上に所定パターンのレジストマスク

を形成し、シュウ酸系エッチャントを用いたウェットエッチングを行ない、図 12 に示すように、コンタクトホール 19a を介してソース電極 12 に接続された画素電極 18 を形成する。同様に、図 2 に示した蓄積容量電極 16 と画素電極 18 は、コンタクトホール 19b に形成された ITO により接続される。

【0038】

最後に、温度 150℃～230℃の範囲内、好ましくは温度約 200℃で熱処理を行ない、TFT 基板 1 を完成する。

このように形成された TFT 基板 1 は、その TFT 形成面側に配向膜が形成された後、コモン電極が形成された対向基板と貼り合わせられ、さらに、それらの間に液晶が封入される。そして、TFT 基板 1 および対向基板の外面側にそれぞれ偏光フィルムを貼り付け、LCD が形成される。

【0039】

次に第 2 の実施の形態について説明する。

上記第 1 の実施の形態においては、パッシベーション膜 14 を SiN 層 14a, 14b および SiO 層 14c の積層構造としたが、TFT 基板 1 に形成するパッシベーション膜 14 は、SiN 層 14a, 14b および SiON 層の積層構造とすることもできる。SiON 層は、上記 SiO 層 14c と同じく、その膜厚が 3nm～20nm となるように形成することが好ましい。このようにパッシベーション膜 14 に SiO 層 14c に代えて SiON 層を用いても、SiO 層 14c の場合と同様の効果が得られる。この SiON 層は、SiO 層 14c と同じく、SiN 層 14a, 14b 形成後にプラズマ CVD 法により形成することができる。また、a-Si 層形成後にアッシング処理、高圧酸化、熱酸化、N₂O プラズマ処理、N₂+O₂ プラズマ処理の少なくとも 1 つを施して SiON 層を形成することもできる。さらに、SiN 層 14a, 14b 形成後にアッシング処理、高圧酸化、熱酸化、O₂ プラズマ処理、UV 照射の少なくとも 1 つを施して SiON 層を形成することもできる。

【0040】

なお、上記の第 1, 第 2 の実施の形態においては、パッシベーション膜が 2 層構造の SiN 層を有している場合について述べたが、パッシベーション膜の Si

N層を3層以上で構成することも可能であり、また、1層で構成することも可能である。

【0041】

以上説明したように、LCDに用いるTFT基板において、TFTと樹脂CF層の間に形成するパッシベーション膜をSiN層とSiO層またはSiON層との積層構造とし、その最上層にSiO層またはSiON層を形成するようにした。これにより、パッシベーション膜と樹脂CF層との密着力の低下が抑えられるようになる。そのため、樹脂CF層を形成する際のCFの剥離の発生を抑え、樹脂CF層にコンタクトホールを形成する際のCFの残渣や剥離の発生を抑えることができるようになる。

【0042】

さらに、SiO層あるいはSiON層の膜厚を制御することにより、パッシベーション膜に形成するコンタクトホールを、断面順テーパー形状になるように形成することができる。また、2層以上のSiN層を有するパッシベーション膜においては、それらのSiN層についてSi濃度またはSi-H濃度を調整することにより、コンタクトホールを断面順テーパー形状に形成することが可能になる。これにより、ソース電極と画素電極の間、蓄積容量電極と画素電極の間の接続が良好であり、導通不良のないTFT基板を高歩留りで形成することができるようになる。

【0043】

このようなTFT基板によれば、CF層に新規な樹脂を用いることなく、表示特性に優れた、信頼性の高い、高性能なTFT基板が実現され、さらに、LCDが実現される。また、アレイ基板側に樹脂CF層を設けるとともに、それに遮光機能を付加したので、LCDの製造工程を全体として簡略化することができる。さらに、対向基板との貼り合わせ精度が多少低くても、広開口率で高精細のLCDを量産することが可能になる。そのため、従来提案されているような、例えば、CF層とパッシベーション膜との間にCFの剥離防止のためヘキサメチルジシラザン(HMDS)などの密着材を形成したり、特別な遮光パターンを形成した構造としたりすることが不要になる。

【0044】

また、上記のパッシベーション膜の積層構造は、CF-on-TFT構造のTFT基板のほか、CF-on-TFT構造をとらないTFT基板にも適用することができる。すなわち、CF-on-TFT構造をとらないTFT基板においても、TFTと画素電極との間に形成されるパッシベーション膜を上記のようなSiN層とSiO層の積層構造あるいはSiN層とSiON層の積層構造とする。それにより、パッシベーション膜表面の安定性を維持することが可能になり、また、コンタクトホールを断面順テーパ形状になるように形成することが可能になるため、画素電極形成後の導通不良の発生を抑制することができるようになる。

【0045】

なお、CF-on-TFT構造をとらないTFT基板において、SiNといった無機絶縁材料からなるパッシベーション膜に代えて、絶縁性有機樹脂材料を用いたOC層を形成すると、その膜厚を3000nm程度まで厚くすることができる。さらに、OC層はその誘電率が3以下程度であることから、TFTの寄生容量を低減し、広開口率を実現することが可能になる。しかしながら、TFT基板内にこのように厚膜の層が含まれるとその層にコンタクトホール形成後に大きな段差が形成され、また、コンタクトホールを良好に断面順テーパ形状にできない。それにより、上層に形成される画素電極の段切れなどを招き、導通不良を引き起こし易くなるので、上記のようなSiN層とSiO層の積層構造あるいはSiN層とSiON層の積層構造を有するパッシベーション膜を用いるのが有効である。

【0046】

【発明の効果】

以上説明したように本発明では、LCD用基板の画素電極とスイッチング素子との間に形成されるパッシベーション膜を、SiN層とSiO層またはSiON層との積層構造とし、CF層がSiO層またはSiON層に接するようにした。これにより、CFの剥離や残渣の発生を抑え、導通不良の発生を抑えることができ、表示特性に優れた信頼性の高いLCD用基板およびLCDを実現することができる。

【0047】

さらに、SiO層またはSiON層の膜厚、SiN層の内部構造を制御することにより、パッシベーション膜に形成されるコンタクトホールを断面順テーパ形状にすることができ、導通不良のない高性能なLCD用基板およびLCDを実現することができる。

【図面の簡単な説明】**【図1】**

第1の実施の形態のTF T基板のTF T部分の要部断面図である。

【図2】

第1の実施の形態のTF T基板の1画素領域の平面図である。

【図3】

GB形成工程の説明図である。

【図4】

絶縁膜形成工程の説明図である。

【図5】

チャンネル保護膜形成工程の説明図である。

【図6】

オーミック層および金属層形成工程の説明図である。

【図7】

電極および動作半導体層形成工程の説明図である。

【図8】

パッシベーション膜形成工程の説明図である。

【図9】

CF層形成工程の説明図である。

【図10】

OC層形成工程の説明図である。

【図11】

画素電極接続用のコンタクトホール形成工程の説明図である。

【図12】

画素電極形成工程の説明図である。

【図 13】

従来の CF-on-TFT 構造の LCD 用基板の 1 画素領域の一例の平面図である。

【図 14】

図 13 の B-B 断面図である。

【符号の説明】

- 1 TFT 基板
- 2 TFT
- 3 ガラス基板
- 4 GB
- 4a Al 系金属層
- 4b 高融点金属層
- 5 絶縁膜
- 6 DB
- 7 CB
- 8a, 8b 上部金属層
- 9a, 9b オーミックコンタクト層
- 9c n⁺型 a-Si 層
- 10 ドレイン電極
- 11 チャネル保護膜
- 11a, 14a, 14b SiN 層
- 12 ソース電極
- 13 動作半導体層
- 13a a-Si 層
- 14 パッシベーション膜
- 14c SiO 層
- 15 樹脂 CF 層
- 15a, 15b, 19a, 19b, 21, 22 コンタクトホール

1 6 蓄積容量電極

1 7 O C 層

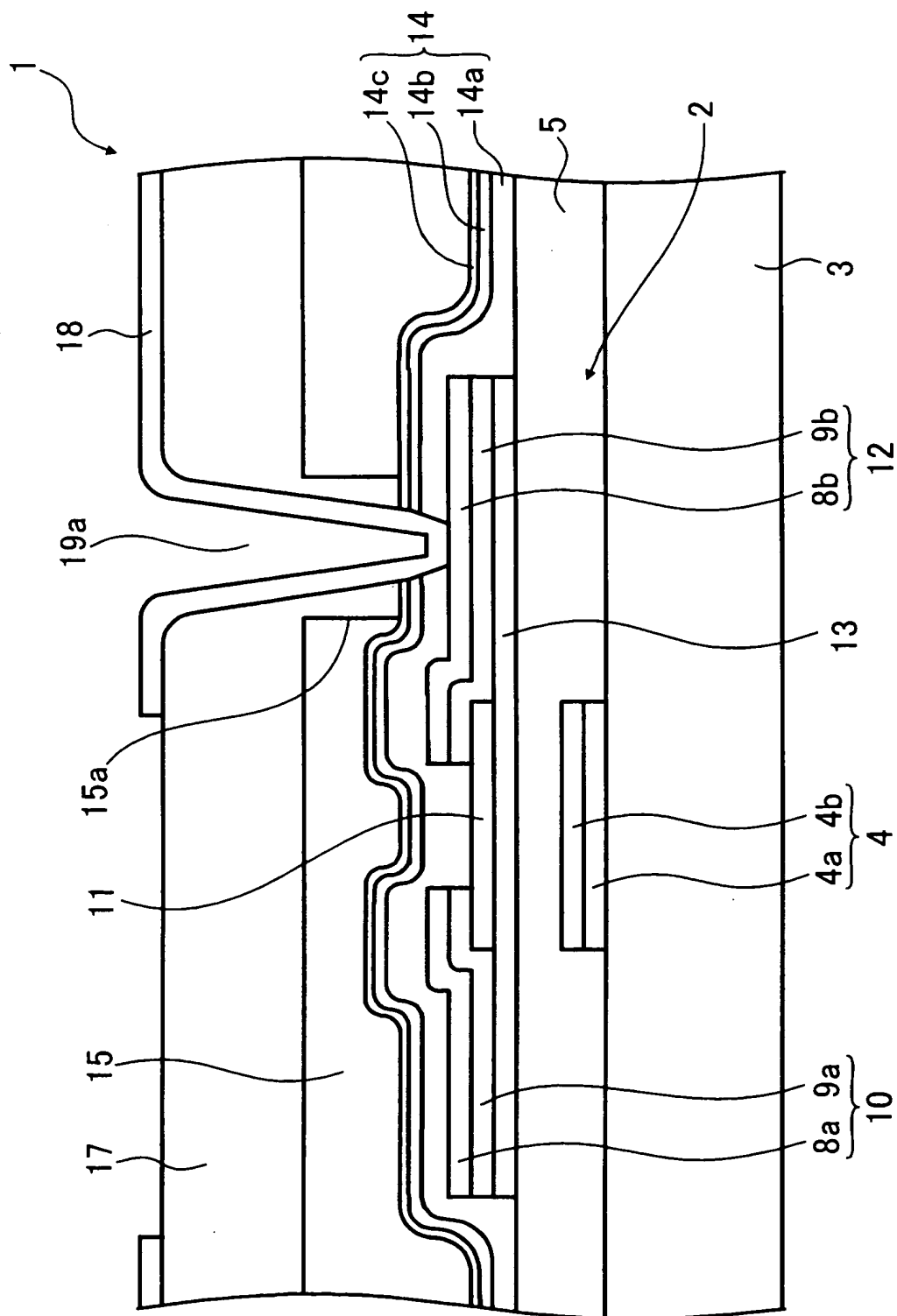
1 8 画素電極

2 0 金属層

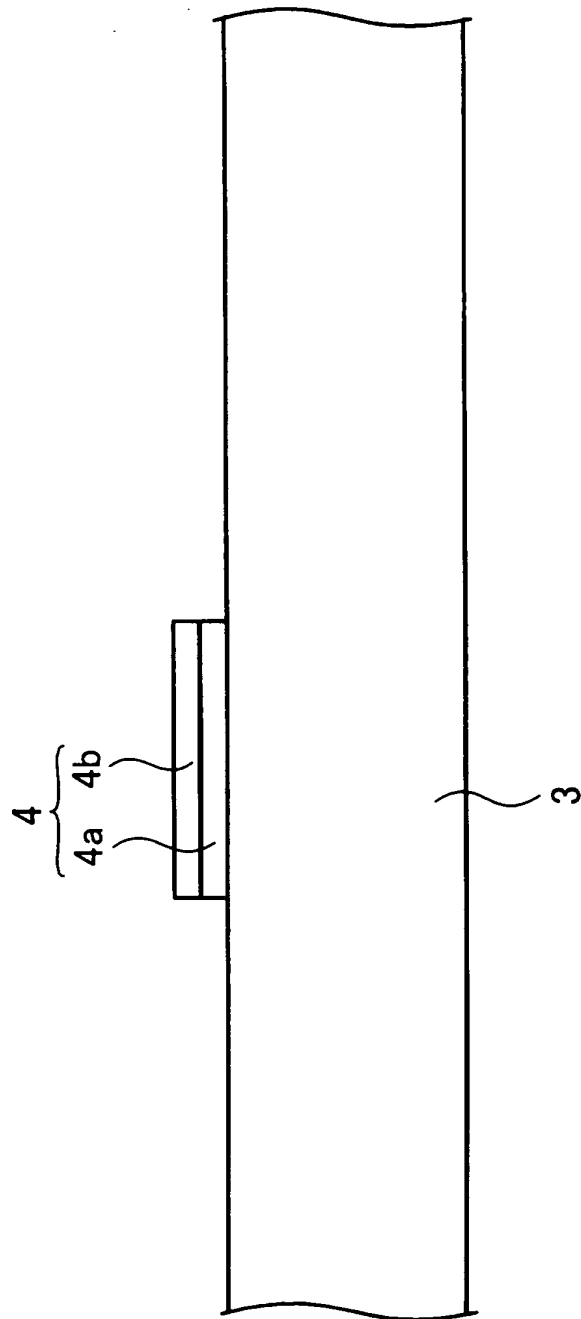
【書類名】

図面

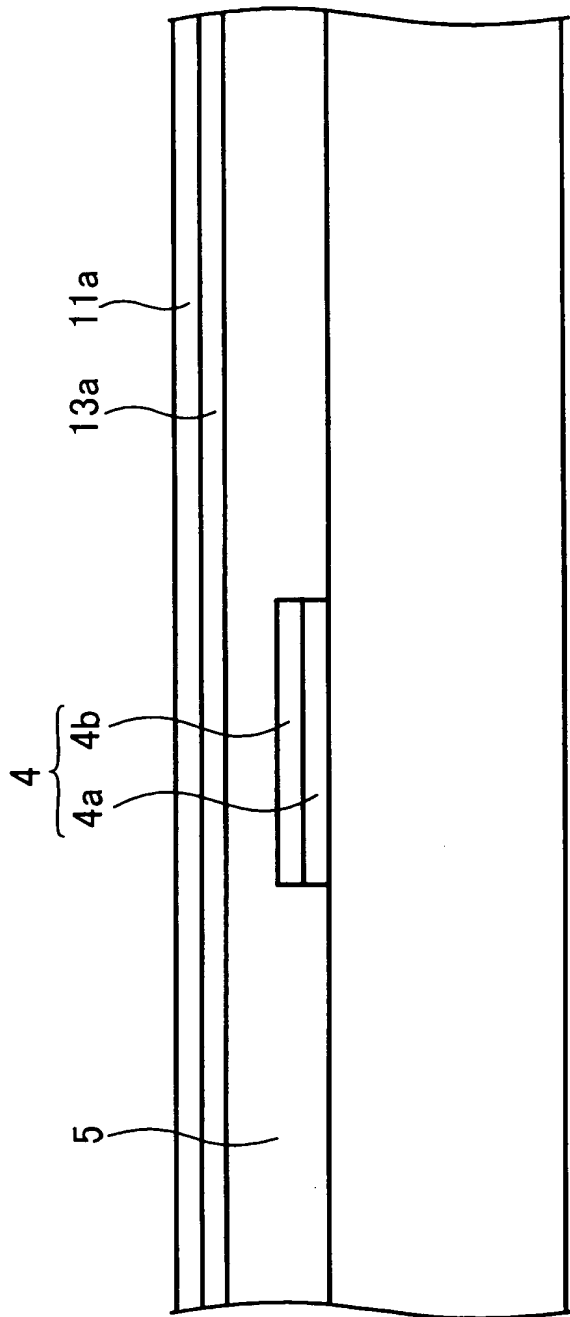
【図 1】



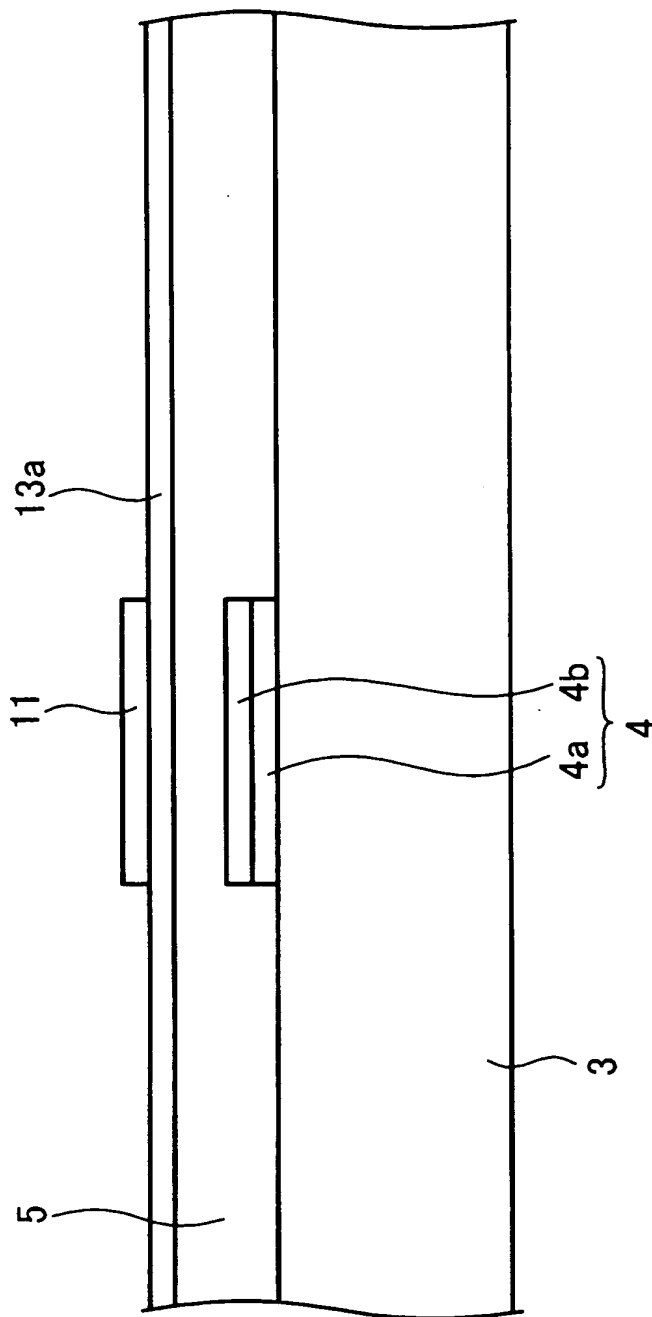
【図 3】



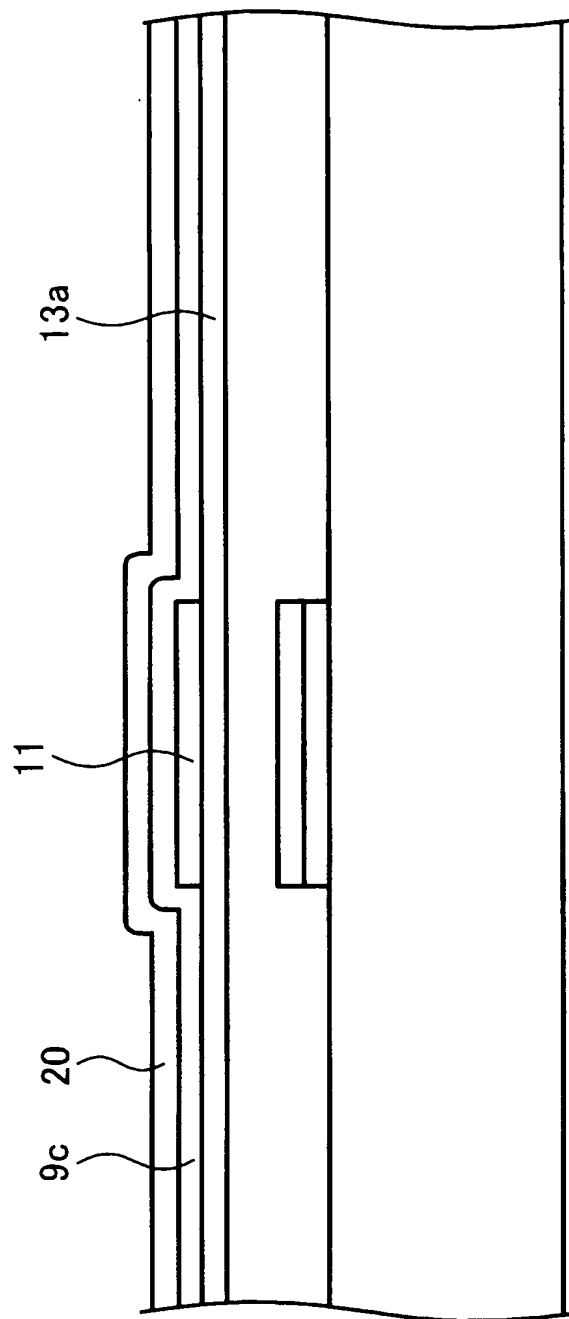
【図 4】



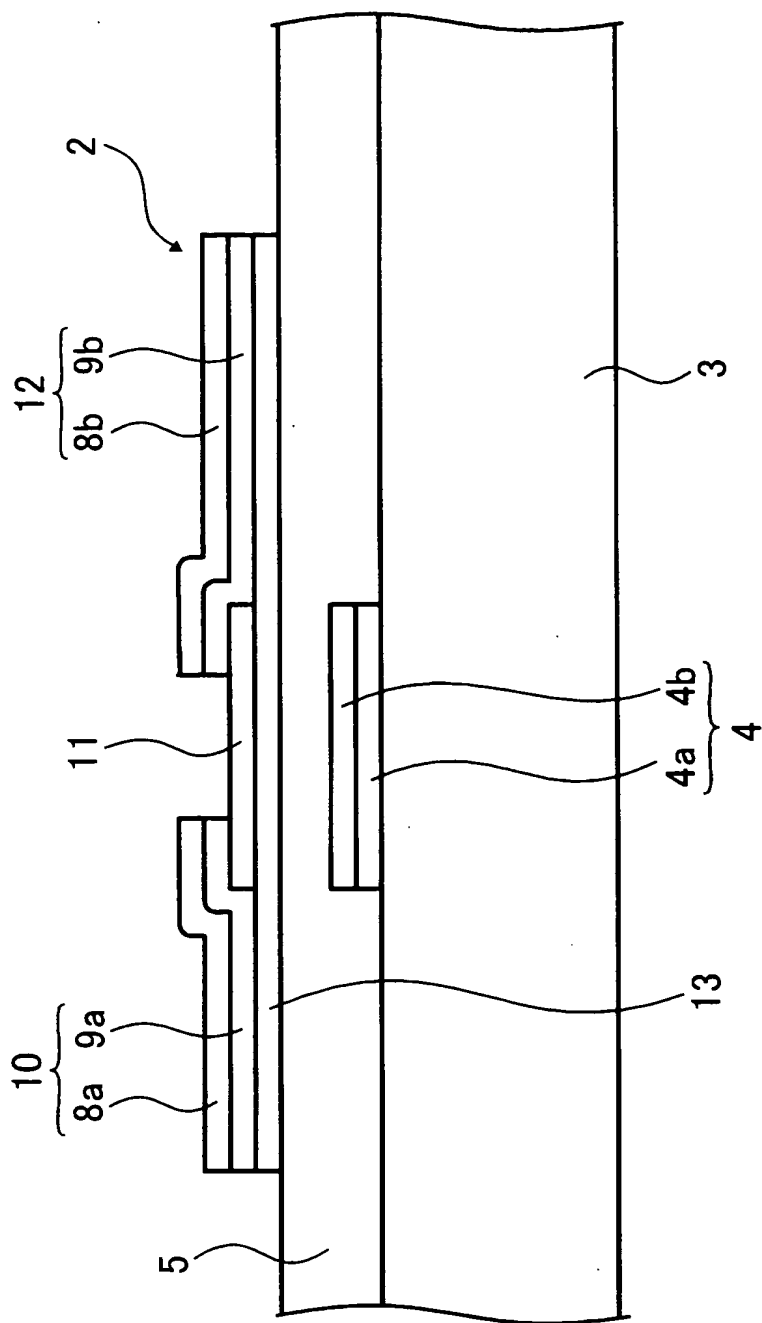
【図 5】



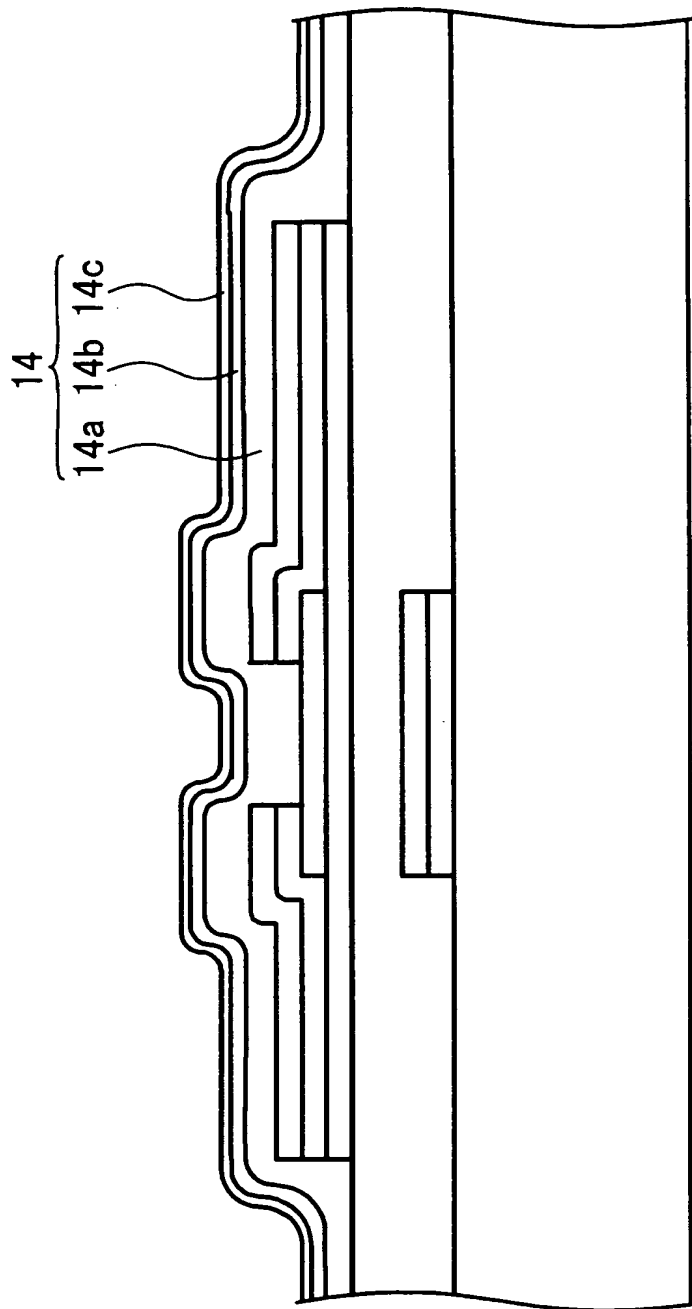
【図 6】



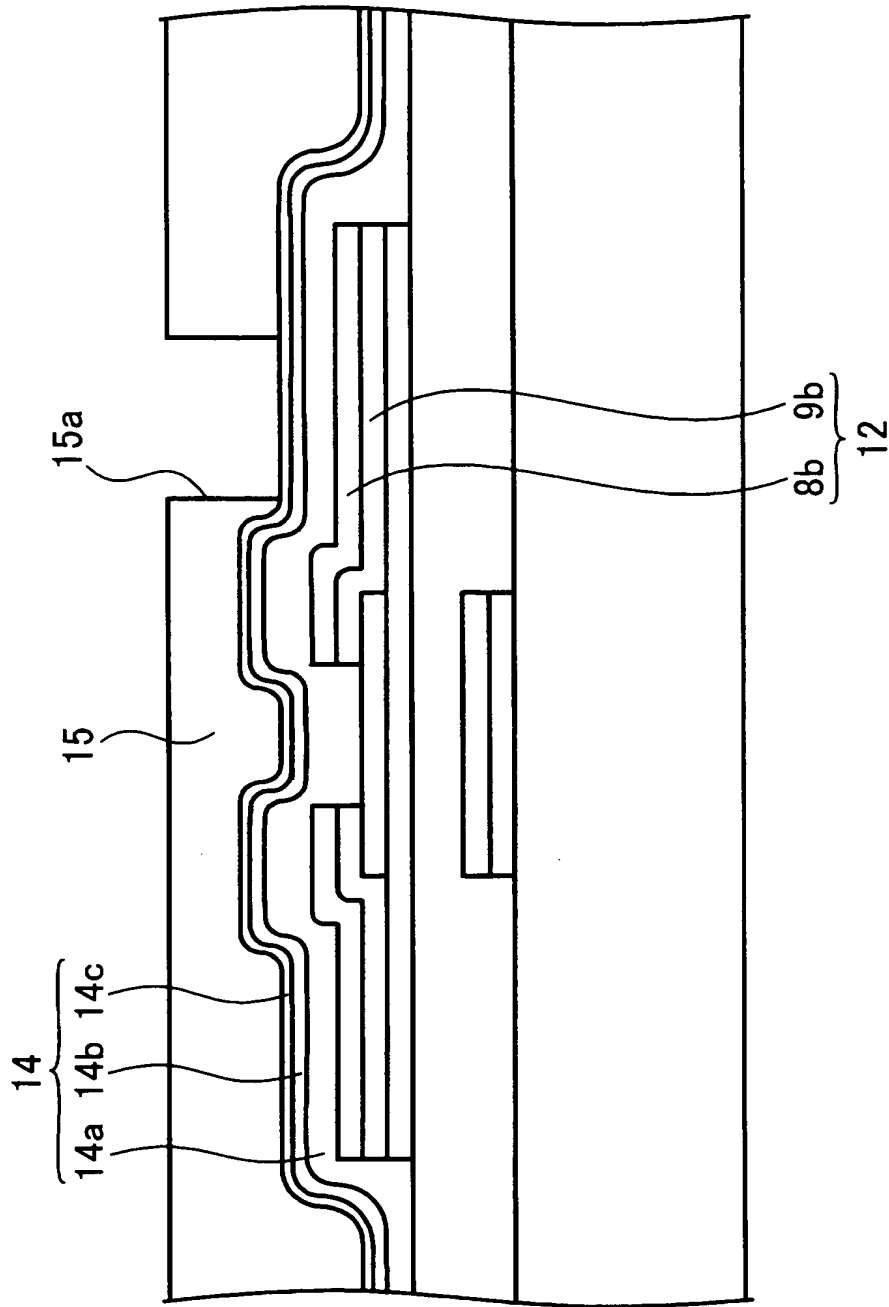
【図 7】



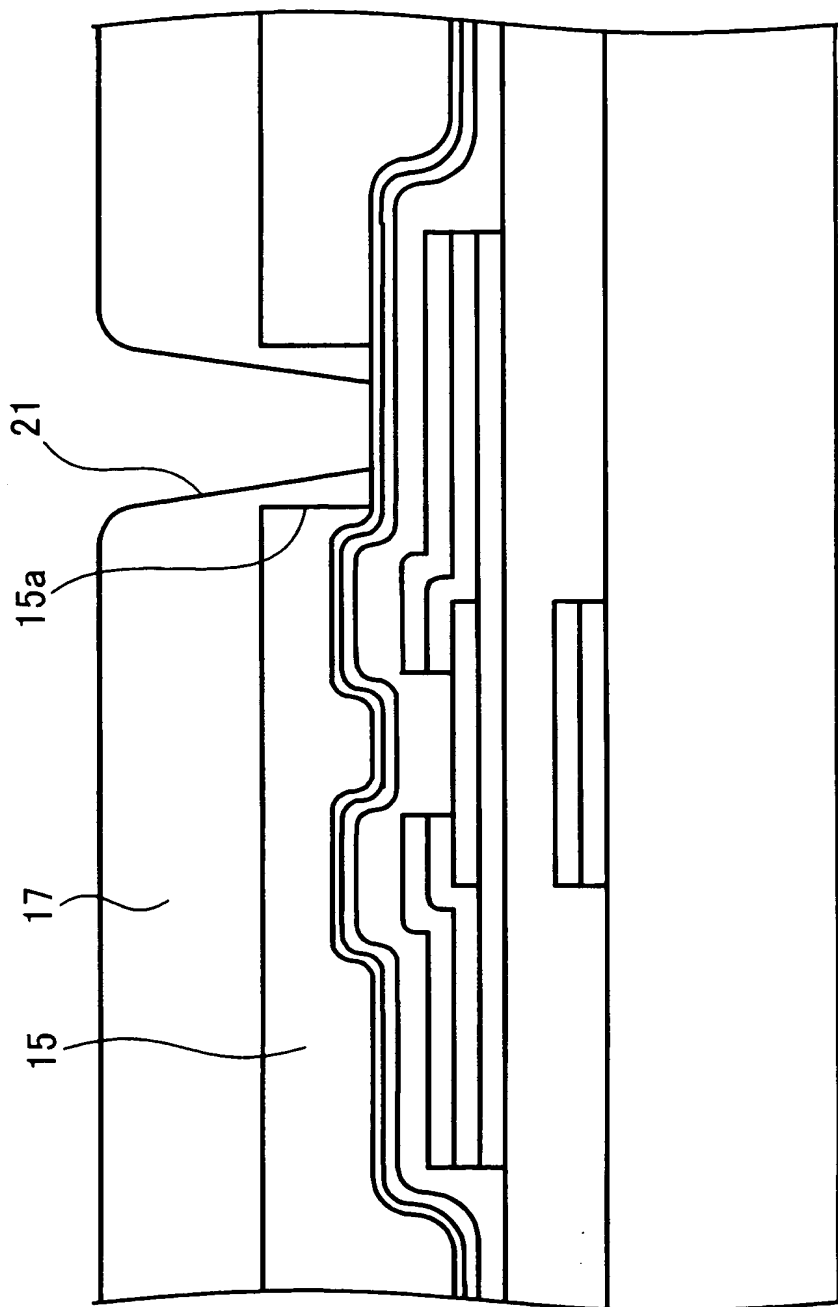
【図 8】



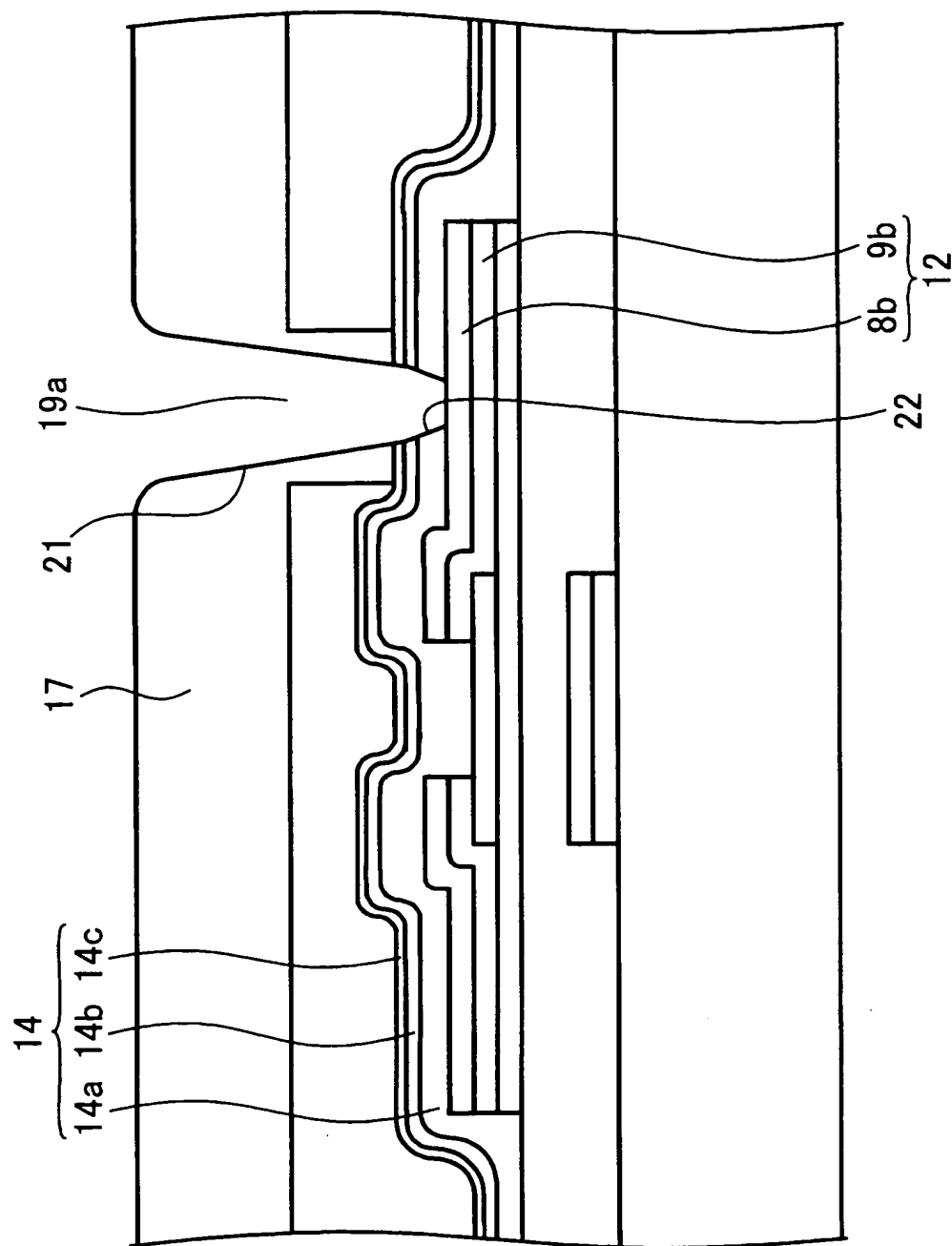
【図 9】



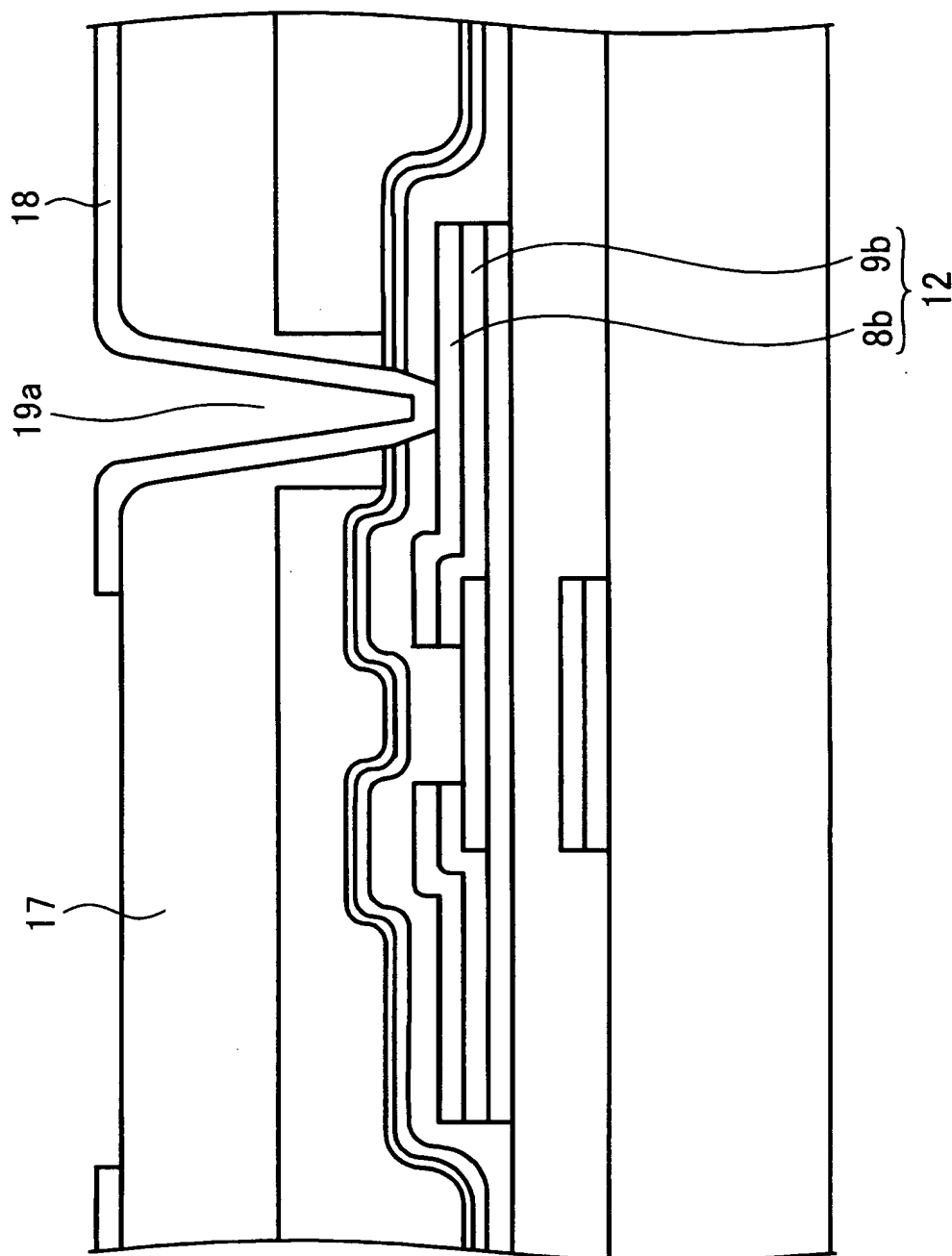
【図 10】



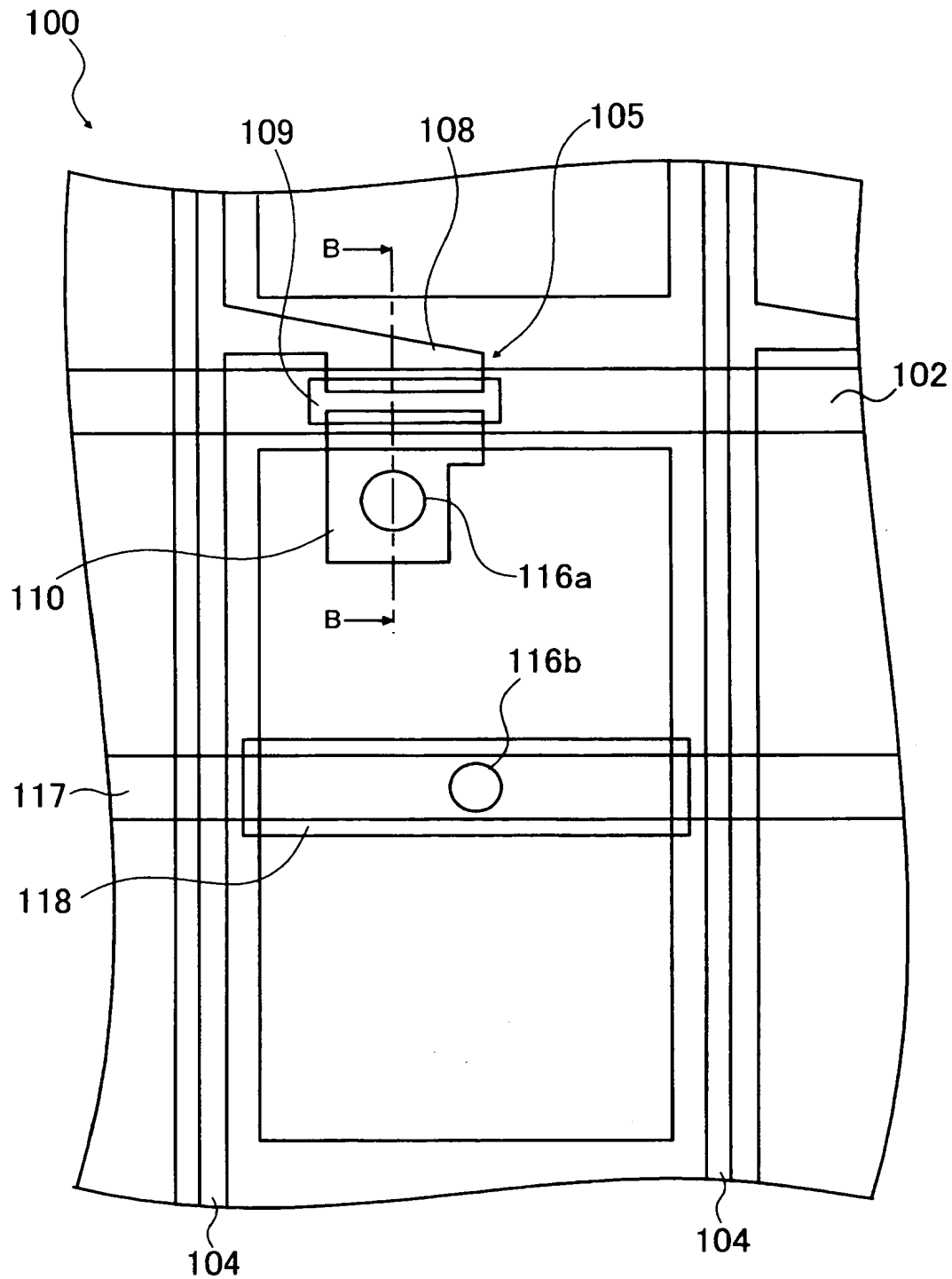
【図 11】



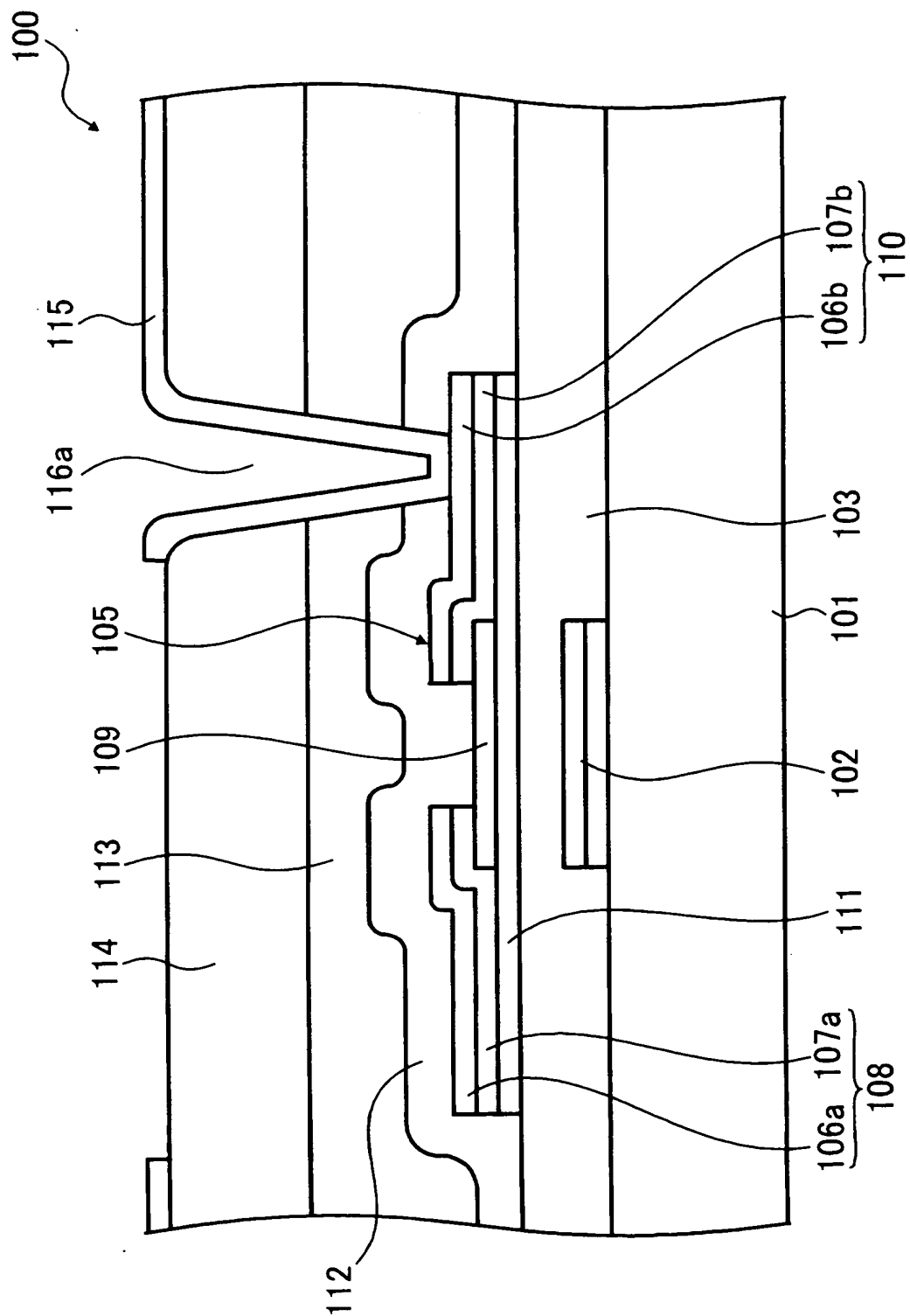
【図 12】



【図 13】



【図 14】




【書類名】 要約書

【要約】

【課題】 アレイ基板側に C F を有する L C D 用基板における C F の残渣や剥離を抑制して導通不良をなくす。

【解決手段】 複数の画素領域にそれぞれ形成された画素電極とその画素電極を駆動する T F T 2 との間に形成されるパッシベーション膜 1 4 を、S i N 層 1 4 a, 1 4 b、S i O 層 1 4 c の積層構造とし、その最上層を S i O 層 1 4 c とする。このような積層構造のパッシベーション膜 1 4 上に樹脂 C F 層 1 5 を形成する。樹脂 C F 層 1 5 は、S i O 層 1 4 c 上に直接形成されることにより、その密着力の低下が抑制され、樹脂 C F 層 1 5 形成時には C F の剥離が発生し難くなり、樹脂 C F 層 1 5 へのコンタクトホール形成時には C F の残渣が発生し難くなる。それにより、導通不良が抑制され、表示特性に優れた信頼性の高い T F T 基板 1 および L C D が実現される。

【選択図】 図 1



特願 2 0 0 3 - 0 9 0 8 3 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 3 6 0 0 2]

1. 変更年月日

2 0 0 2 年 6 月 1 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通ディスプレイテクノロジーズ株式会社